

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102534

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

21/336

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 0 1 Y

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平6-236257

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 村岡 浩一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 岡野 晴雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

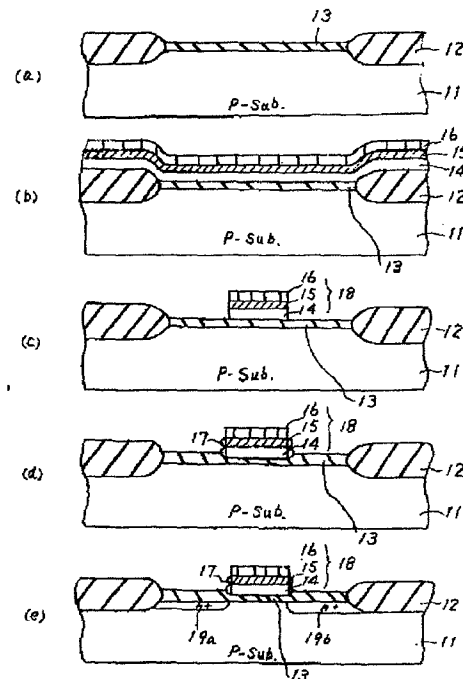
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 プロセス温度を低下することにより、熱的負荷を軽減するとともに、ゲート耐圧を向上させた半導体装置の製造方法を提供すること。

【構成】 シリコン基板11上にゲート酸化膜13を介して金属層単層構造あるいは金属層を含む積層構造を有するゲート電極18を形成する工程と、水等の酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、金属層16を酸化することなくシリコン基板11を選択的に酸化する工程とを含むことを特徴とする。



## 【特許請求の範囲】

【請求項 1】 酸素及び水素を含むガスを励起して該ガスをプラズマ化することにより H 及び OH を生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記 H 及び OH を供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法。

【請求項 2】 シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記レジストパターンを除去する工程は、酸素及び水素を含むガスを励起して該ガスをプラズマ化し、プラズマ化した前記酸素及び水素を含むガスをを用いて行うことを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記レジストパターンを除去する工程及び前記シリコン層を選択的に酸化する工程は、同一の真空チャンバー内で連続的に行うことを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記レジストパターンを除去した後、さらに加熱を行い、前記レジストパターンを除去する工程の温度より高い温度で、前記シリコン層を選択的に酸化することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 7】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工

程とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 前記シリコンからなる領域又は前記シリコン層を選択的に酸化する場所と離れた場所において、前記酸素及び水素を含むガスをプラズマ化し、プラズマ化した該ガスを前記シリコンからなる領域又は前記シリコン層に供給することを特徴とする請求項 1、2、3、又は 7 記載の半導体装置の製造方法。

【請求項 9】 前記酸素及び水素を含むガスとして水 ( $H_2O$ ) を用いることを特徴とする請求項 1、2、3、又は 7 記載の半導体装置の製造方法。

【請求項 10】 前記金属又は金属化合物からなる領域又は層としてタングステン、モリブデン、白金、パラジウム、ロジウム、ルテニウム、ニッケル、コバルト、タantal、チタン、アルミニウム、銅、又はこれらの化合物を用いることを特徴とする請求項 1、2、3、又は 7 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係わり、特に金属又は金属化合物の酸化を抑えつつ酸化雰囲気における処理を行う工程を改良した半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 現在、半導体装置の電極や配線としては多結晶シリコンが広く用いられている。しかしながら、半導体装置の高集積化、高速化に伴い電極や配線の抵抗による信号伝達遅延が重大な問題となってきている。特に、大容量、高集積化が進展している MOSLSI の分野では、ゲート電極に使用されている多結晶シリコンは第 1 層配線と共用になるので、ここでの抵抗値が半導体装置の高速動作の障害となっている。

【0003】 このようなことから、多結晶シリコンに代わる電極配線材料として、熱的な安定性と電気的低抵抗性を有する高融点金属のシリサイドが使用されつつある。また、最近では W、Mo 等の高融点金属そのものをゲート電極として使用する試みもなされている。W、Mo 等の高融点金属は、その電気抵抗率が多結晶シリコンよりも 2 桁低く、またシリサイドの抵抗率の  $1/4 \sim 1/3$  であり、低抵抗の電極配線材料として有望視されている。

【0004】 上述した高融点金属 (例えば W) をゲート電極の一構成材料として用いた半導体装置としては、従来より図 7 (a) に示す構造のものが知られている。即ち、図中の 71 は p 型シリコン基板であり、この基板 71 には素子領域を電気的に分離するためのフィールド絶縁膜 72 が形成されている。このフィールド絶縁膜 72 で分離された基板 71 表面には、互いに電気的に分離されたソース、ドレインとなる  $n^+$  型拡散層 73a、73b が形成されている。これら拡散層 73a、73b 間のチャネル領域を含む前記基板 71 表面上には、ゲート酸

化膜74を介して多結晶シリコン層75、窒化金属層(例えばTiN層)76及びW層77からなるゲート電極78が設けられている。なお、前記ゲート電極78を構成する窒化金属層76はW層77の多結晶シリコン層75に対する密着性を向上すると共に、W層77と多結晶シリコン層75とが反応して抵抗率が1桁上昇するのを防止する反応障壁層として作用する。

【0005】ところで、従来より採用されている多結晶シリコンゲート電極の形成工程では、5～50nmといった薄いゲート酸化膜に対する欠陥やゲート電極のエッジ形状に起因するゲート耐圧劣化を回復するために、酸化雰囲気(例えば乾燥酸素)中で熱処理を行い、多結晶シリコン層の露出面やソース、ドレイン領域となる基板表面上にシリコン酸化層を新たに成長させる工程を行っている。この工程は、ゲート後酸化工程と呼ばれている。

【0006】しかしながら、一般にW、Mo等の高融点金属等は酸化雰囲気中での熱処理において耐性がないため、前述した図7(a)に示すゲート電極構造に対して従来のような後酸化工程を適用することができないという問題があった。

【0007】上記問題を解決する方法として、還元性気体(例えば水素)及び酸化性気体(例えば水蒸気)を含み、さらに窒素を含む気体を希釈用気体とした雰囲気中で熱処理することで、ゲート電極を構成する金属層及び窒化金属層の酸化を招くことなくシリコン酸化膜を形成でき、ゲート耐圧を向上させることが可能なシリコン選択酸化技術がよく知られている(特開平3-119763)。

【0008】この選択酸化技術においては、上記還元性気体として $H_2$ を、酸化性気体として水蒸気( $H_2O$ )を、窒素を含む気体として $N_2$ を用いた場合には、それらの混合比率を次のように設定することが望ましいと言われている。即ち、 $H_2$ 、 $H_2O$ 、 $N_2$ の分圧を $P_{H_2}$ 、 $P_{H_2O}$ 、 $P_{N_2}$ とすると、 $P_{H_2}/P_{H_2O}$ を0.5以上、 $1.0 \times 10^{-9}$ 以下にし、かつ $\log P_{N_2}$ を-2.2以上、-1.4以下にする。更に、より好ましい条件としては前記温度を800～900℃にすることがよく、この際、 $P_{H_2}/P_{H_2O}$ を $1.0 \times 10^{-3}$ 以上、 $1.0 \times 10^{-4}$ 以下にし、かつ $\log P_{N_2}$ を-2以上、-2以下にする。この雰囲気条件で熱処理することにより、ゲート電極を構成する金属層及び窒化金属層を酸化させずにシリコンのみを酸化することが可能となっている。

【0009】しかしながら、最近の精力的な研究によりこの種の方法にあっては以下のような問題の生じることが明らかとなった。まず、上記選択酸化条件だと $P_{H_2O}$ が低い場合シリコンの酸化速度が非常に遅く、ゲート電極の耐圧性向上に必要なシリコン酸化膜を得るためには高温長時間加熱する必要があることが明らかになった。

【0010】例として、ゲート電極8を選択酸化雰囲気

(916℃、 $H_2/H_2O/N_2 = 0.164/1 \times 10^{-4}/0.836 \text{ atm}$ )で120分加熱を行っても、 $SiO_2$ 膜厚は約2～3nmしか形成されない(図7(b))。そのため、916℃という高温加熱を長時間行うと必要があり、加熱が長時間に及ぶと、ゲート電極78の多結晶シリコン層75中のドーパント75'がゲート酸化膜74中に拡散し、ゲート電極の耐圧性を劣化させることが明らかになった。

【0011】上記問題以外に、金属層上のレジストを剥離する工程において、金属層表面が改質される問題が生じている。例として、Wゲート電極の加工後のW上面のレジストを剥離する工程においては、SH処理( $H_2SO_4 + H_2O_2$ )によるとWを溶かしてしまうため、 $O_2$ アッシャーによりレジスト剥離を行っている。このときW表面の酸化が起こるため、表面の酸化物を還元する必要がある。またレジスト剥離方法として $CF_4 + H_2O$ のダウンフロープラズマ処理があるが、レジスト剥離後の表面がFで汚染されてしまう問題が生じている。

【0012】さらにまた、上記した問題は、ゲート電極に限らず金属配線上のレジストマスク、スルーホール開口のマスクとなるレジストマスクに関しても同様に生じている。

【0013】

【発明が解決しようとする課題】以上述べたように、従来のゲート後酸化工程や酸化雰囲気におけるレジストの剥離工程等においては、ゲート電極の耐圧性が減少するなど半導体素子の特性が劣化してしまう問題や、電極配線となる金属又は金属化合物層が容易に酸化され、形成された酸化物を再度還元しなくてはならず、工程数が増加してしまう問題等が生じていた。本発明は、上記実情に鑑みてなされたものであり、酸化雰囲気における処理工程を改良した半導体装置の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】前述した問題を解決するために本発明は、酸素及び水素を含むガスを励起して該ガスをプラズマ化することによりH及びOHを生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法を提供する。

【0015】また本発明は、シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【0016】また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金

10

20

30

40

50

属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【0017】また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【0018】上記した本発明において、以下の態様が特に好ましい。

(1) 前記レジストパターンを除去する工程は、酸素及び水素を含むガスを励起して該ガスをプラズマ化し、プラズマ化した前記酸素及び水素を含むガスをを用いて行うこと。

【0019】(2) 前記レジストパターンを除去する工程及び前記シリコン層を選択的に酸化する工程は、同一の真空チャンバー内で連続的に行うこと。

(3) 前記レジストパターンを除去した後、さらに加熱を行い、前記レジストパターンを除去する工程の温度より高い温度で、前記シリコン層を選択的に酸化すること。

【0020】(4) 前記シリコンからなる領域又は前記シリコン層を選択的に酸化する場所と離れた場所において、前記酸素及び水素を含むガスをプラズマ化し、プラズマ化した該ガスを前記シリコンからなる領域又は前記シリコン層に供給すること。

【0021】(5) 前記酸素及び水素を含むガスとして水(H<sub>2</sub>O)を用いること。

(6) 前記金属又は金属化合物からなる領域又は層としてタングステン、モリブデン、白金、パラジウム、ロジウム、ルテニウム、ニッケル、コバルト、タンタル、チタン等、又はこれらの化合物を用いること。また、アルミニウム、銅やこれらの化合物を用いても良い。

【0022】(7) ゲート電極を、金属層単層構造、金

属層／反応障壁層、及び金属層／反応障壁層／多結晶シリコン層等の積層構造とすること。

(8) 反応障壁層として、チタン、ジルコニウム、ハフニウム、タングステン、バナジウム、ニオブ、タンタル、クロム、レニウム、シリコン等の窒化物、酸化物、窒化酸化物を用いること。

【0023】(9) 前記酸素及び水素を含むガス、例えば水と希ガス(ArやKr等)とを混合し、その混合ガスをを用いて前記シリコンからなる領域又は前記シリコン層を選択的に酸化すること。

【0024】

【作用】本発明によれば、酸素及び水素を含むガスを励起して該ガスをプラズマ化することによりH及びOHを生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給するので、OH等によりシリコンからなる領域の酸化を行うとともに、同時に酸化される金属又は金属化合物からなる領域をHにより効果的に還元することができる。なおこの場合、Hはシリコン酸化物を還元する能力が弱いので、酸化されたシリコンからなる領域をシリコンへ還元することはない。

【0025】したがって、プラズマ化した酸素及び水素を含むガスをを用いることにより、シリコン層上にゲート絶縁膜を介して形成されたゲート電極中の金属又は金属化合物からなる層を酸化させずに、前記シリコン層を選択的に酸化することを簡単な工程で行うことが可能である。

【0026】即ち、ゲート電極を構成する金属層等の酸化を抑制しつつ、レジスト剥離あるいはゲート後酸化の工程を容易に行うことができ、さらに低温でSiO<sub>2</sub>膜を形成することができるので、熱的負荷の軽減が可能となり、ゲート耐圧の向上を達成することができる。

【0027】また、本発明の方法における酸素及び水素を含むガスのプラズマ化、例えば水の放電処理の工程においては、水の分圧、印可電力、印可周波数、基板温度を変化させることにより、金属層等とシリコン層の酸化の選択性を変えることが可能である。

【0028】さらに、前記シリコンからなる領域又は前記シリコン層を選択的に酸化する場所と離れた場所において、前記酸素及び水素を含むガスをプラズマ化し、プラズマ化した該ガスを前記シリコンからなる領域又は前記シリコン層に供給することによって、前記ゲート絶縁膜に対してダメージを与えることなく、効果的にシリコンの選択的酸化を行うことができる。

【0029】

【実施例】以下、図面を参照して、本発明の実施例について詳細に説明する。図1(a)～(d)は、本発明の第1の実施例に係るゲート電極の形成工程を示す断面図である。

【0030】まず、図1(a)に示すように、例えばp

型シリコン基板11表面に選択酸化によりフィールド酸化膜12を形成した後、熱酸化処理を施してフィールド酸化膜12で分離されたシリコン基板11に厚さ5〜30nmのシリコン酸化膜13を形成した。

【0031】次いで、シリコン酸化膜13上に導電性不純物が添加された厚さ50nmの多結晶シリコン層14を堆積した後、基板11を473Kの温度に保持した状態で、TiをターゲットとしてN<sub>2</sub>とArの混合ガス中でスパッタリングすることにより、多結晶シリコン層14上に厚さ50nmのTiN層15を堆積した。つづいて、LPCVD法により水素(H<sub>2</sub>)、モノシラン(SiH<sub>4</sub>)、及び六フッ化タンゲステン(WF<sub>6</sub>)の混合ガスを用い、H<sub>2</sub>を0.173Torr、SiH<sub>4</sub>を0.013Torr、WF<sub>6</sub>を0.065Torrの各分圧に保持し、420℃の基板温度でTiN層15上に厚さ約150nmのW層16を堆積した(図1(b))。

【0032】ひきつづき、前記W層16、TiN層15及び多結晶シリコン層14を通常のフォトリソグラフィと反応性イオンエッチング(RIE)を用いて順次選択的にエッチングし、O<sub>2</sub>アッシャーによりレジストを剥離することで図1(c)に示すゲート電極18を形成した。

【0033】次に、水蒸気(H<sub>2</sub>O)分圧を25.6mTorr、基板温度を530℃とし、マイクロ波放電(2450MHz、印可電力100W)によりH<sub>2</sub>Oをプラズマ化して、これをダウンフローでシリコン基板11に供給した。このプラズマ処理は30分を行った。

【0034】図2は、上記マイクロ波放電を用いた処理装置の概略構成を示す断面図である。この図に示されるように、反応容器(石英管)27内には試料28(ここではシリコン基板11)が収容され、試料28はセラミックヒーター29により所望の温度に加熱されるようになっている。一方、21は水を収容する原料容器であり、この原料容器21中の水は、水の分圧を制御するニードルバルブ22、23、及び水の分圧を測定する水分計24の設けられたガス導入管を通して、マイクロ波放電部25に供給される。このマイクロ波放電部25において、水がマイクロ波放電によって励起され、プラズマ26となる。プラズマ化された水は上記反応容器27内に設けられた試料28に対して供給される。なお、30、31はそれぞれターボ分子ポンプ、ロータリーポンプである。

【0035】以上の条件の下での酸化処理によると、図1(d)に示すように多結晶シリコン層14の側壁部とシリコン基板11が酸化されるとともに、W表面は酸化されず、且つ露出したTiN層15の側壁がわずかに酸化されて約0.5nmのTiO<sub>2</sub>膜17が形成されることが確認された。これは従来の方法に比べ、プロセス温度が916℃から530℃にまで低温化でき、且つ

W層及びTiN層の酸化抑制に有効であることが明らかとなった。更に、レジスト剥離アッシングによって酸化されたW表面は還元され良好な膜になる。また、本実施例の方法によりゲート電極18の下部エッジ領域の酸化膜が約5nm厚くなっていることを確認した。

【0036】つづいて、フィールド酸化膜12及びゲート電極18をマスクとしてn型不純物、例えば砒素をイオン注入し、活性化することによりシリコン基板11表面にソース、ドレインとなるn<sup>+</sup>型拡散層19a、19bを形成した(図1(e))。

【0037】本実施例によれば、ゲート電極構造におけるW層、TiN層の酸化を最小にとどめると共に、プロセス温度の低下により良好なゲート電極絶縁耐性を有する半導体装置を製造することができることが確認された。

【0038】図3(a)〜(c)はそれぞれ印加電力、基板温度、水分圧に対するSiO<sub>2</sub>膜及びWO<sub>3</sub>膜の膜厚を示す特性図である。本実施例に示した水の放電は、図3(a)〜(c)の条件の範囲内で変化させることが可能である。斜線領域は、Wが酸化せずSiのみ酸化する選択酸化領域であり、傾向として印加電力と基板温度は高いほど選択性がよく、また水分圧は低いほど選択性が良い。このそれぞれの選択酸化領域は水分圧、基板温度、印加電力の3つのパラメーターの増減により種々変化するものであり、また金属の種類によっても選択酸化領域は異なる。ここで水の放電条件は、水分圧1〜2000mTorr、印加電力10〜500Wが好ましく、基板温度としては室温から1000℃の範囲において有効である。更に好ましくは、水分圧10〜1000mTorr、10〜50mTorr、更には25mTorrが良い。また、印加電力100W以上、基板温度300〜800℃の範囲において、より良好な結果が得られる。さらにまた、放電方法はマイクロ波によるもの以外に、RFを用いた平行平板型によるもの、磁石や電磁石を用いたマグネトロン型のもの、あるいはヘリコン波を用いたもの等がある。

【0039】次に、本発明の第2の実施例に係る半導体装置の製造工程について、図4(a)〜(c)を参照して説明する。まず、第1の実施例と同様にしてW層16を堆積する工程まで行った後、W層16上にレジスト膜20を塗布してこれを通常のフォトリソグラフィによってパターニングした。次に、レジストパターン20をマスクとして、W層16、TiN層15、及び多結晶シリコン層14を反応性イオンエッチング(RIE)により順次選択的にエッチングすることにより、図4(a)に示すゲート電極18を形成した。

【0040】次いで、ゲート電極18上部の1μmのレジストパターン20を剥離するために水の放電を行った。放電条件としては、水蒸気(H<sub>2</sub>O)分圧を25.6mTorr、基板温度を530℃とし、第1の実施例

10

20

30

40

50

と同様にマイクロ波放電により $H_2O$ をプラズマ化して、これをダウンフローでシリコン基板11に供給した。このプラズマ処理は30分を行った。

【0041】この水の放電による処理により、図4

(b)に示すように、W層16上のレジスト膜20は剥離された。この時、W層16の表面は酸化されていなかった。また、この時、ゲート電極18の多結晶シリコン層14の側壁部、TiN層15の側壁部がわずかに酸化され、且つゲート電極18の下部エッジ領域の酸化膜が約5nm厚くなっていることが確認された。

【0042】続いて、フィールド酸化膜12及びゲート電極18をマスクとして、n型不純物、例えば砒素をイオン注入し、活性化することによりシリコン基板11表面にソース、ドレインとなる $n^+$ 型拡散層19a、19bを形成した(図4(c))。

【0043】また、金属層上のマスクはレジストだけでなく、カーボンにおいても同様の効果が得られた。本実施例に示した水の放電は、第1の実施例で示した条件の範囲内で変化させることが可能である。

【0044】本実施例によれば、水の放電処理工程において、レジスト剥離工程と同時にゲート後酸化工程を行うことができ、工程短縮と同時にプロセス温度の低下が可能である。更に、良好なゲート電極絶縁耐性を有するMOS型半導体装置を製造することができることが確認された。

【0045】次に、本発明の第3の実施例に係る半導体装置の製造工程について、図5(a)～(c)を参照して説明する。まず、第1、第2の実施例と同様にしてW層16を堆積する工程まで行った後、W層16上にレジスト膜20を塗布してこれを通常の写真リソグラフィによってパターンニングした。次に、レジストパターン20をマスクとして、W層16、TiN層15、及び多結晶シリコン層14を反応性イオンエッチング(RIE)により順次選択的にエッチングすることにより、図5(a)に示すゲート電極18を形成した。

【0046】次いで、ゲート電極18上部の1 $\mu m$ のレジスト膜20を剥離するため水の放電を行った。放電条件として、水蒸気( $H_2O$ )分圧を25.6mTorr、基板温度を100℃とし、マイクロ波放電(2450MHz、印可電力100W)による $H_2O$ ダウンフロープラズマ処理を30分を行った。この結果、図5(b)に示すように、W層16上のレジスト膜20は剥離された。この時、W層16の表面は酸化されていなかった。更に、ゲート電極18の下部エッジ領域の酸化膜を厚くするために、基板11を反応容器27内に配置した状態で連続して、かつマイクロ波放電条件を上記条件に維持しつつ、基板温度を530℃に昇温し30分間保持した後、降温した。この水放電処理により、ゲート電極18の下部エッジ領域の酸化膜が約5nm厚くなっていることが確認された。この時も、W層16の表面は酸化され

ていなかった。(図5(c))。

【0047】続いて、フィールド酸化膜12及びゲート電極18をマスクとしてn型不純物、例えば砒素をイオン注入し、活性化することにより、シリコン基板11表面にソース、ドレインとなる $n^+$ 型拡散層19a、19bを形成した(図5(d))。

【0048】本実施例においては、低温でレジスト膜を剥離した後、高温で選択酸化を行うため、レジスト膜剥離による雰囲気中の残留有機物が基板と反応しにくく、且つ速やかに排気される。この方法により、有機物汚染の影響を受けない良好なゲート酸化膜を形成することができ、信頼性の高いゲート電極を得ることが可能となる。

【0049】また、本実施例に示したレジスト膜剥離時の基板温度は室温～500℃の範囲において有効であり、その後の選択酸化時の基板温度は500～1000℃の範囲において良好な結果が得られる。また水分圧、印加電力の条件は第1の実施例で示した条件の範囲内で変化させることが可能である。

【0050】更に本実施例では、同一真空チャンバー内において基板を連続処理するので、異なるチャンバー間を移動させるなど、工程が複雑となることはなく、簡単な工程でレジスト剥離処理、選択酸化処理を行うことができる。なお、工程の複雑化がある程度許される状況下においては、レジスト剥離処理、選択酸化処理を異なる真空チャンバー内において行うこともできる。この場合、基板のチャンバー間搬送を真空中で行うことが好ましく、これにより、選択酸化処理に与える残留有機物の影響を最小限に抑えることが可能である。

【0051】次に、他の例に係る半導体装置の製造工程について、図6(a)及び(b)を参照して説明する。この例は、金属又は金属化合物からなる層を形成し、この金属又は金属化合物からなる層上にレジストパターンを形成し、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、電極又は配線を形成し、その後、図2に示したダウンフロー方式の装置により水のみからなるガスを励起してプラズマ化し、このガスを基板に供給することによって前記レジストパターンを除去する方法である。

【0052】まず、(001)を主面とするn型シリコン基板32にフィールド酸化膜33、 $p^+$ 拡散層34を順次形成する。次に、層間絶縁膜としてCVD- $SiO_2$ 膜35、BPSG膜36の積層膜を全面に堆積した後、拡散層上にコンタクトホールを設け、このコンタクトホール底部にTiSi<sub>2</sub>層37を選択的に形成し、さらに該コンタクトホール内にW層38を選択的に埋め込む。この後、Ti膜39/TiN膜40/Al膜41を順次積層形成し、この上にレジスト膜42を塗布してこれを通常の写真リソグラフィによってパターンニングした。次に、レジストパターン42をマスクとして、A

I膜41、TiN膜40、Ti膜39を反応性イオンエッチング(RIE)により順次選択的にエッチングすることにより、図6(a)に示す配線層43をパターン形成した。

【0053】次いで、Al膜41上のレジスト膜42を剥離するため水の放電を行った。放電条件として、水蒸気(H<sub>2</sub>O)分圧を10mTorr、基板温度を100℃とし、マイクロ波放電(2450MHz、印可電力100W)によるH<sub>2</sub>Oダウンフロープラズマ処理を30分行った。

【0054】この水放電処理により、図6(b)に示すようにAl膜41上のレジスト膜42は剥離された。この時、配線層43中のAl膜41の表面は酸化されず、また配線層43中のTiN膜40、Ti膜39の側面には約0.5nmのTiO<sub>2</sub>膜44が形成されていることが確認された。

【0055】従来のO<sub>2</sub>アッシャーによるレジスト剥離の方法では、剥離工程中にAl配線表面も酸化されてAl<sub>2</sub>O<sub>3</sub>が形成されるので、次の工程においてこのAl<sub>2</sub>O<sub>3</sub>を除去することが必須となる。本実施例によれば、レジスト剥離時にAl配線表面が酸化されないの

で、Al<sub>2</sub>O<sub>3</sub>の除去工程は必要なく、工程数削減につながり信頼性の高い半導体装置を製造することができる。

【0056】なお、上記例においてはAl配線について述べたが、これに限らずCu等の金属配線全般、あるいは金属電極全般においても適用可能である。さらに、金属化合物層(TiNやTiSi<sub>2</sub>等)上のレジスト剥離に対しても適用可能である。

【0057】また、上記例に示した水の放電において、基板温度範囲が室温〜500℃の時良好な結果が得られ、印加電力、水分圧の条件は第1の実施例で示した範囲内で変化させる事が可能である。

【0058】また、レジスト剥離工程に限らず、例えば従来のレジスト剥離工程後に金属層や金属化合物層等の上に残留する有機物を除去する工程に対しても本発明は適用可能であり、同様の効果が得られた。

【0059】なお、本発明は上記実施例に限定されない。例えば、酸素及び水素を含むガスとしては、水以外に、過酸化水素、水素、酸素等を用いることができる。特に、水と水素、あるいは過酸化水素と水素を組み合わせると選択酸化の効果が著しい。

【0060】さらに、酸素及び水素を含むガス、例えば水と希ガス(ArやKr等)とを混合し、その混合ガスを用いてシリコンを選択的に酸化しても良く、これによりシリコンの酸化速度を上げることも可能である。

【0061】また、金属層としてAl膜やW層を挙げたが、他の金属層、例えばモリブデン、白金、パラジウム、ロジウム、ルテニウム、ニッケル、コバルト、タンタル、チタン、銅等の層でも良い。さらに、金属層以

外、例えば金属化合物層(TiNやTiSi<sub>2</sub>等)でも良い。

【0062】また、金属層と多結晶シリコン層の間等に挟む反応障壁層としては、窒化チタン以外に、ジルコニウム、ハフニウム、タングステン、バナジウム、ニオブ、タンタル、クロム、レニウム、シリコン等の窒化物、さらにチタン、ジルコニウム、ハフニウム、タングステン、バナジウム、ニオブ、タンタル、クロム、レニウム、シリコン等の酸化物、窒化酸化物等を用いても良い。

【0063】さらにまた、シリコン層としては、シリコン基板表面の層、SOI(SiliconOn Insulator)基板表面のシリコン層、あるいは絶縁基板上のシリコン層等が考えられる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することが可能である。

【0064】

【発明の効果】本発明によれば、プラズマ化した酸素及び水素を含むガスを用いることにより、金属又は金属化合物からなる層に対してシリコン層を選択的に酸化することを簡単な工程で行うことが可能である。

【0065】したがって、ゲート電極を構成する金属層等の酸化を抑制しつつ、レジスト剥離あるいはゲート後酸化の工程を容易に行うことができ、さらに低温でSiO<sub>2</sub>膜を形成することができるので、熱的負荷の軽減が可能となり、ゲート耐圧の向上を達成することができる。

【図面の簡単な説明】

【図1】 本発明による半導体装置の製造方法に係わる第1の実施例を示す工程断面図。

【図2】 上記第1の実施例において使用するマイクロ波放電を用いた処理装置の概略構成を示す断面図。

【図3】 印加電力、基板温度、水分圧に対するSiO<sub>2</sub>膜及びWO<sub>3</sub>膜の膜厚を示す特性図

【図4】 本発明による半導体装置の製造方法に係わる第2の実施例を示す工程断面図。

【図5】 本発明による半導体装置の製造方法に係わる第3の実施例を示す工程断面図。

【図6】 他の例を示す工程断面図。

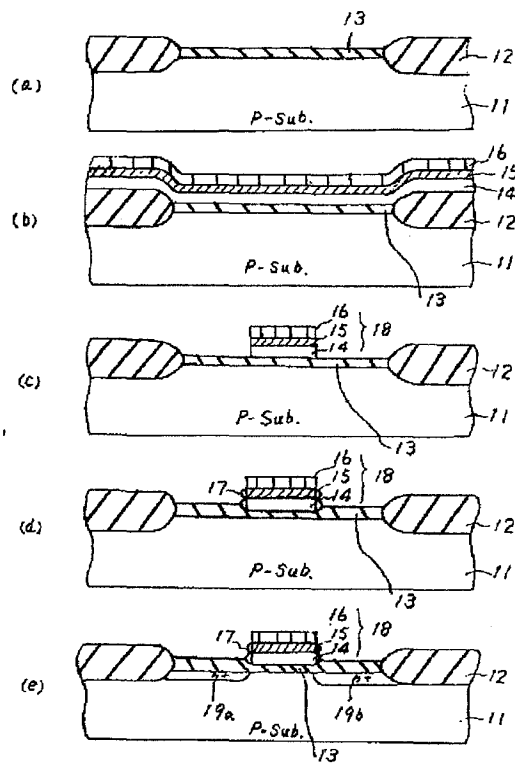
【図7】 従来例の半導体装置の製造方法を示す工程断面図。

【符号の説明】

- 11：p型シリコン基板
- 12：フィールド酸化膜
- 13：シリコン酸化膜
- 14：多結晶シリコン層
- 15：TiN層
- 16：W層
- 17：TiO<sub>2</sub>膜
- 18：ゲート電極
- 19a、19b：n<sup>+</sup>型拡散層

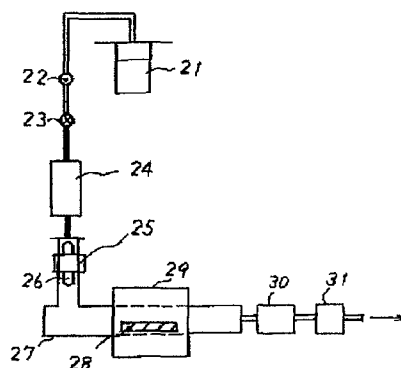
- 20: レジスト膜  
 21: 原料容器  
 22: ニードルバルブ  
 23: ニードルバルブ  
 24: 水分計  
 25: マイクロ波放電部  
 26: プラズマ  
 27: 反応容器 (石英管)  
 28: 試料 (基板)  
 29: セラミックヒーター  
 30: ターボ分子ポンプ  
 31: ロータリーポンプ  
 32: n型シリコン基板  
 33: フィールド酸化膜  
 34: p<sup>+</sup> 拡散層  
 35: CVD-SiO<sub>2</sub> 膜  
 36: BPSG膜

【図1】

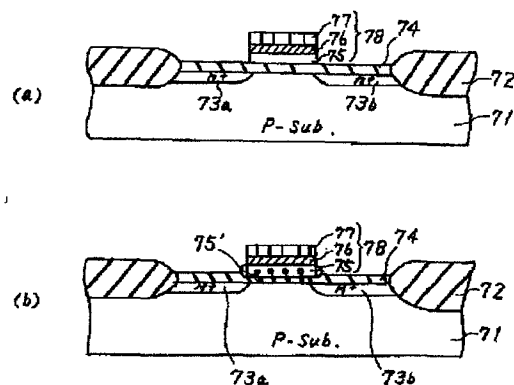


- \* 37: TiSi<sub>2</sub> 層  
 38: W層  
 39: Ti膜  
 40: TiN膜  
 41: Al膜  
 42: レジストパターン  
 43: 配線層  
 44: TiO<sub>2</sub> 膜  
 71: p型シリコン基板  
 72: フィールド絶縁膜  
 73a、73b: n<sup>+</sup> 型拡散層  
 74: ゲート酸化膜  
 75: 多結晶シリコン  
 75': ドーパント  
 76: 窒化金属層  
 77: W層  
 \* 78: ゲート電極

【図2】

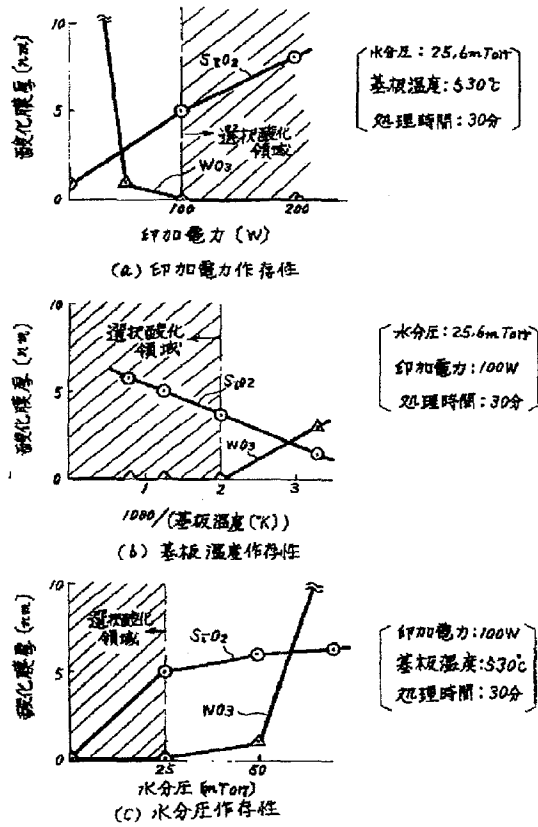


【図7】

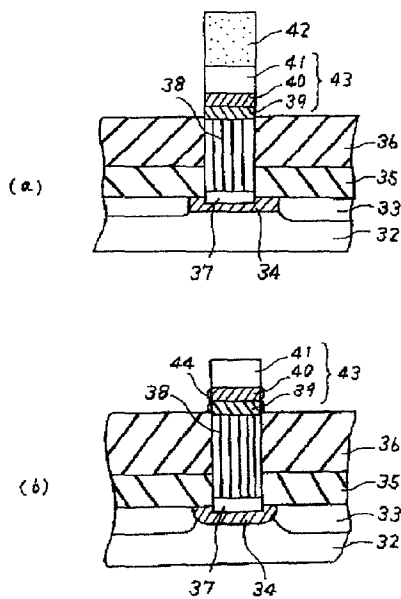




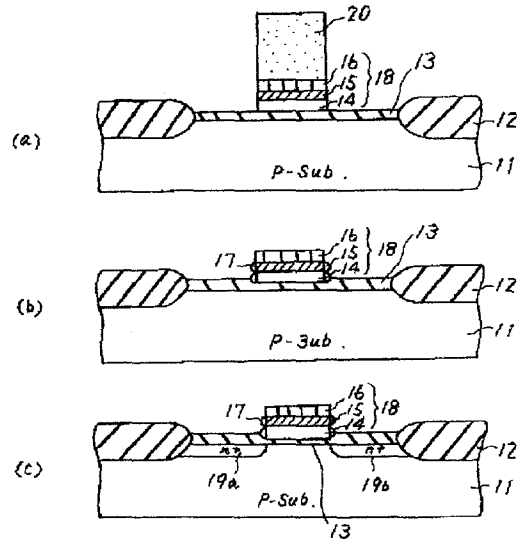
【圖3】



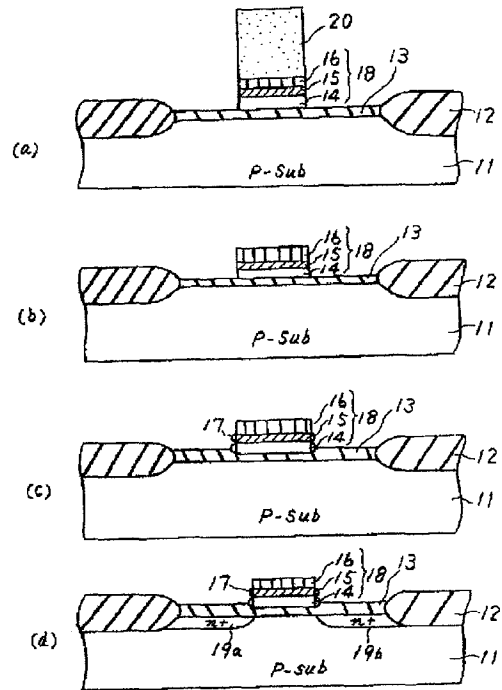
【圖6】



【圖4】



【圖5】



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成13年10月26日(2001.10.26)

【公開番号】特開平8-102534  
 【公開日】平成8年4月16日(1996.4.16)  
 【年通号数】公開特許公報8-1026  
 【出願番号】特願平6-236257  
 【国際特許分類第7版】

H01L 29/78  
 21/336

【F I】  
 H01L 29/78 301 Y

【手続補正書】

【提出日】平成13年1月23日(2001.1.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 酸素及び水素を含むガスからH及びOHを生成する工程と、シリコンからなる領域を備える基板に対して前記H及びOHを供給し、シリコンからなる領域を酸化することを特徴とする半導体装置の製造方法。

【請求項2】 酸素及び水素を含むガスからH及びOHを生成する工程と、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法。

【請求項3】 酸素及び水素を含むガスを励起して該ガスをプラズマ化することによりH及びOHを生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法。

【請求項4】 シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスをを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

法。

【請求項6】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記レジストパターンを除去する工程は、酸素及び水素を含むガスを励起して該ガスをプラズマ化し、プラズマ化した前記酸素及び水素を含むガスをを用いて行うことを特徴とする請求項6、7記載の半導体装置の製造方法。

【請求項9】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物

からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】前記した問題を解決するために本発明は、酸素及び水素を含むガスからH及びOHを生成する工程と、シリコンからなる領域を備える基板に対して前記H及びOHを供給し、シリコンからなる領域を酸化することを特徴とする半導体装置の製造方法を提供する。また、本発明は、酸素及び水素を含むガスからH及びOHを生成する工程と、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法を提供する。また本発明は、酸素及び水素を含むガスを励起して該ガスをプラズマ化することによりH及びOHを生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法を提供する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】また本発明は、シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスを用いて、前記シリコン層を選択的に酸化する工程とを

含むことを特徴とする半導体装置の製造方法である。また本発明は、シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含む

ガスを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物から

なる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]H and OH are generated by exciting gas containing oxygen and hydrogen and plasma-izing this gas, A manufacturing method of a semiconductor device oxidizing selectively a field which supplies said H and OH to a substrate with which a field which consists of a field, metal, or metallic compounds which consists of silicon was intermingled, and consists of silicon.

[Claim 2]A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming a gate electrode containing a layer which consists of metal or metallic compounds via gate dielectric film on a silicon layer.

A process of exciting gas containing oxygen and hydrogen and plasma-izing this gas.

A process of oxidizing said silicon layer selectively using gas containing said oxygen and hydrogen which were plasma-ized.

[Claim 3]A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming gate dielectric film on a silicon layer.

A process of forming a layer which consists of metal or metallic compounds on this gate dielectric film.

A process of forming a resist pattern on a layer which consists of these metal or metallic compounds.

By etching a layer which consists of said metal or metallic compounds by using this resist pattern as a mask, A process of forming a gate electrode, and a process of removing said resist pattern, A process of oxidizing selectively said silicon layer after removing said resist pattern using a process of exciting gas containing this oxygen and hydrogen, and plasma-izing this gas, and gas containing said oxygen and hydrogen which were plasma-ized.

[Claim 4]A manufacturing method of the semiconductor device according to claim 3, wherein a process of removing said resist pattern excites gas containing oxygen and hydrogen and performs it using gas containing said oxygen and hydrogen which plasma-ized this gas and plasma-ized it.

[Claim 5]A manufacturing method of the semiconductor device according to claim 4, wherein a process of oxidizing selectively performs continuously a process of removing said resist pattern, and said silicon layer, within the same vacuum chamber.

[Claim 6]A manufacturing method of the semiconductor device according to claim 4 characterized by oxidizing said silicon layer selectively at a temperature higher than temperature of a process of heating further and removing said resist pattern after removing said resist pattern.

[Claim 7]A process of forming gate dielectric film on a silicon layer, and a process of forming a layer which consists of metal or metallic compounds on this gate dielectric film, By etching a process of forming a resist pattern on a layer which consists of these metal or metallic compounds, and a layer which consists of said metal or metallic compounds by using this resist

pattern as a mask, A process of forming a gate electrode, and a process of exciting gas containing oxygen and hydrogen and plasma-izing this gas, A manufacturing method of a semiconductor device including a process of oxidizing said silicon layer selectively while removing said resist pattern, using gas containing said oxygen and hydrogen which were plasma-ized.

[Claim 8] In a place which oxidizes selectively a field which consists of said silicon, or said silicon layer, and a distant place, Claims 1, 2 and 3 which plasma-ize gas containing said oxygen and hydrogen, and are characterized by supplying this plasma-ized gas to a field which consists of said silicon, or said silicon layer, or a manufacturing method of a semiconductor device given in seven.

[Claim 9] Claims 1, 2 and 3 using water ( $H_2O$ ) as gas containing said oxygen and hydrogen, or a manufacturing method of a semiconductor device given in seven.

[Claim 10] As a field which consists of said metal or metallic compounds, or a layer, tungsten, molybdenum, Claims 1, 2 and 3 using platinum, palladium, rhodium, ruthenium, nickel, cobalt, tantalum, titanium, aluminum, copper, or these compounds or a manufacturing method of a semiconductor device given in seven.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application]Especially this invention relates to the manufacturing method of the semiconductor device which improved the process of performing processing in an oxidizing atmosphere with respect to the manufacturing method of a semiconductor device, suppressing oxidation of metal or metallic compounds.

[0002]

[Description of the Prior Art]Now, as the electrode of a semiconductor device, or wiring, polycrystalline silicon is used widely. However, the signal transduction delay by resistance of an electrode or wiring is posing a serious problem with high integration of a semiconductor device, and improvement in the speed. Especially in the field of MOSLSI to which large scale and high integration are progressing, since the polycrystalline silicon currently used for the gate electrode becomes the 1st layer wiring and common use, resistance here has been an obstacle of the high-speed operation of a semiconductor device.

[0003]Since it is such, the silicide of a refractory metal which has thermal stability and electric low resistance as an electrode wiring material which replaces polycrystalline silicon is being used. These days, the trial which uses the refractory metal itself, such as W and Mo, as a gate electrode is also made. The electrical resistivity of refractory metals, such as W and Mo, is lower than polycrystalline silicon double figures, and they are  $1/4 - 1/3$  of resistivity. [ of silicide ] Promising \*\* is carried out as an electrode wiring material of low resistance.

[0004]As a semiconductor device using the refractory metal (for example, W) mentioned above as one component of a gate electrode, the thing of the structure conventionally shown in drawing 7 (a) is known. That is, 71 in a figure is a p type silicon substrate, and the field insulating films 72 for dividing an element region into this substrate 71 electrically are formed. The n<sup>+</sup> type diffusion layers 73a and 73b used as the source separated electrically mutually and a drain are formed in the substrate 71 surface separated by these field insulating films 72. On these diffusion zones 73a and said substrate 71 surface including the channel regions between 73b, the gate electrode 78 which consists of the polycrystalline silicon layer 75, the nitriding metal layer (for example, TiN layer) 76, and the W layer 77 via the gate oxide 74 is formed. The nitriding metal layer 76 which constitutes said gate electrode 78 improves the adhesion over the polycrystalline silicon layer 75 of the W layer 77, and it acts as a reaction barrier layer which prevents resistivity from the W layer 77 and the polycrystalline silicon layer 75 reacting, and rising a single figure.

[0005]By the way, in the formation process of the polycrystalline silicon gate electrode adopted conventionally. In order to recover gate resisting pressure degradation resulting from the defect to thin gate oxide and the edge shape of a gate electrode of 5-50 nm, It heat-treats in an oxidizing atmosphere (for example, dry oxygen), and the process which newly grows up a silicon oxidizing zone on the substrate face used as the exposed surface of a polycrystalline silicon layer, source, and a drain area is performed. This process is called the after [ a gate ] oxidation process.

[0006]However, since refractory metals, such as W and Mo, generally did not have tolerance in heat treatment in an oxidizing atmosphere, there was a problem that a back oxidation process like before was inapplicable to the gate electrode structure shown in drawing 7 (a) mentioned above.

[0007]By heat-treating the gas which contains a reducing gas (for example, hydrogen) and an oxidizing gas (for example, steam), and contains nitrogen further as a method of solving the above-mentioned problem in the atmosphere made into the gas for dilution. Silicon oxide can be formed without causing oxidation of the metal layer which constitutes a gate electrode, and a nitriding metal layer, and the silicon selective oxidation art which can raise gate pressure-proofing is known well (JP,3-119763,A).

[0008]In this selective oxidation art, when  $N_2$  is used as a gas which contains a steam ( $H_2O$ ) for  $H_2$  as the above-mentioned reducing gas, and contains nitrogen as an oxidizing gas, it is said that it is desirable to set up those mixing ratio as follows. That is, if the partial pressure of  $H_2$ ,  $H_2O$ , and  $N_2$  is made into  $P_{H_2}$ ,  $P_{H_2O}$ , and  $P_{N_2}$ ,  $P_{H_2}/P_{H_2O}$  will be made into 0.5 or more and below  $1.0 \times 10^9$ , and  $\log P_{N_2}$  will be made into more than -22 and 14 or less. It is good, and in this case, in more than  $1.0 \times 10^3$ , that said temperature shall be 800-900 \*\* as more desirable conditions makes  $P_{H_2}/P_{H_2O}$  below  $1.0 \times 10^4$ , and it makes  $\log P_{N_2}$  more than -2 and 2 or less. By heat-treating on this atmosphere condition, it is possible to oxidize only silicon, without oxidizing the metal layer which constitutes a gate electrode, and a nitriding metal layer.

[0009]However, if it was in this kind of method by the latest energetic research, it became clear that the following problems arise. First, in order  $P_{H_2O}$  has a dramatically slow oxidation rate of silicon since it is low, and to obtain silicon oxide required for the pressure-resistant improvement in a gate electrode in case of the above-mentioned selective oxidation conditions, it became clear that it is necessary to carry out high temperature long time heating.

[0010]As an example, in the gate electrode 8, even if it performs heating for 120 minutes in selective oxidation atmosphere ( $916$  \*\*,  $H_2/H_2O/N_2=0.164/1 \times 10^{-4}/0.836$ atm), about 2-3 nm of  $SiO_2$  thickness is not formed (drawing 7 (b)). Therefore, when there is necessity when heating at high temperature of  $916$  \*\* is performed for a long time, and heating attained to the long time, it became clear that dopant 75' in the polycrystalline silicon layer 75 of the gate electrode 78 is spread in the gate oxide 74, and degrades the resistance to pressure of a gate electrode.

[0011]The problem to which refining of the metal layer surface is carried out in the process of exfoliating the resist on a metal layer, in addition to the above-mentioned problem has arisen. In the process of exfoliating the resist on the upper surface of W after processing of W gate electrode as an example, in order to melt W according to SH processing ( $H_2SO_4+H_2O_2$ ),  $O_2$  Usher is performing resist removing. Since oxidation on the surface of W takes place at this time, it is necessary to return a surface oxide. Although resist stripping methods include the downflow plasma treatment of  $CF_4+H_2O$ , the problem by which the surface after resist removing will be polluted with F has arisen.

[0012]The above-mentioned problem is produced in a similar manner further again not only about a gate electrode but about the resist mask on metallic wiring and the resist mask used as the mask of a through hole opening.

[0013]

[Problem(s) to be Solved by the Invention]In the peeling process of resist [ in / as stated above / a conventional after / a gate / oxidation process or oxidizing atmosphere ], etc., The problem on which the characteristic of a semiconductor device -- the resistance to pressure of a gate electrode decreases -- deteriorates, the problem which the metal or the metallic compound layer used as electrode wiring must oxidize easily, must return the formed oxide again, and a routing counter increases, etc. had arisen. This invention is made in view of the above-mentioned actual condition, and is a thing.



the purpose is to provide the manufacturing method of the semiconductor device which improved down stream processing which can be boiled and set.

[0014]

[Means for Solving the Problem]In order to solve a problem mentioned above, this invention generates H and OH by exciting gas containing oxygen and hydrogen and plasma-izing this gas, Said H and OH are supplied to a substrate with which a field which consists of a field, metal, or metallic compounds which consists of silicon was intermingled, and a manufacturing method of a semiconductor device oxidizing selectively a field which consists of silicon is provided.

[0015]A process at which this invention forms a gate electrode containing a layer which consists of metal or metallic compounds via gate dielectric film on a silicon layer, A manufacturing method of a semiconductor device including a process of exciting gas containing oxygen and hydrogen and plasma-izing this gas, and a process of oxidizing said silicon layer selectively using gas containing said oxygen and hydrogen which were plasma-ized is provided.

[0016]When this invention etches a layer characterized by comprising the following, A process of forming a gate electrode, and a process of exciting gas containing oxygen and hydrogen and plasma-izing this gas, A process of removing said resist pattern, and a process of exciting gas containing this oxygen and hydrogen, and plasma-izing this gas, A manufacturing method of a semiconductor device including a process of oxidizing selectively said silicon layer after removing said resist pattern, using gas containing said oxygen and hydrogen which were plasma-ized.

A process of forming gate dielectric film on a silicon layer.

A process of forming a layer which consists of metal or metallic compounds on this gate dielectric film.

A process of forming a resist pattern on a layer which consists of these metal or metallic compounds.

This resist pattern is used as a mask and they are said metal or metallic compounds.

[0017]When this invention etches a layer characterized by comprising the following, A process of forming a gate electrode, and a process of exciting gas containing oxygen and hydrogen and plasma-izing this gas, A manufacturing method of a semiconductor device including a process of oxidizing said silicon layer selectively while removing said resist pattern, using gas containing said oxygen and hydrogen which were plasma-ized.

A process of forming gate dielectric film on a silicon layer.

A process of forming a layer which consists of metal or metallic compounds on this gate dielectric film.

A process of forming a resist pattern on a layer which consists of these metal or metallic compounds.

This resist pattern is used as a mask and they are said metal or metallic compounds.

[0018]In above-mentioned this invention, especially the following modes are preferred.

(1) A process of removing said resist pattern should excite gas containing oxygen and hydrogen, and should perform it using gas containing said oxygen and hydrogen which plasma-ized this gas and plasma-ized it.

[0019](2) A process of oxidizing selectively should perform continuously a process of removing said resist pattern, and said silicon layer, within the same vacuum chamber.

(3) Heat further and oxidize said silicon layer selectively at a temperature higher than temperature of a process of removing said resist pattern, after removing said resist pattern.

[0020](4) At a place which oxidizes selectively a field which consists of said silicon, or said silicon layer, and a distant place, plasma-ize gas containing said oxygen and hydrogen, and supply this plasma-ized gas to a field which consists of said silicon, or said silicon layer.

[0021](5) Use water (H<sub>2</sub>O) as gas containing said oxygen and hydrogen.

(6) Use these compounds, such as tungsten, molybdenum, platinum, palladium, rhodium, a ruthenium, nickel, cobalt, tantalum, and titanium, as a field which consists of said metal or

metallic compounds, or a layer. Aluminum, copper, and these compounds may be used.

[0022](7) Let gate electrodes be laminated structures, such as metal layer layer structure, a metal layer / reaction barrier layer, and a metal layer / reaction barrier layer / polycrystalline silicon layer.

(8) Use nitrides, such as titanium, a zirconium, hafnium, tungsten, vanadium, niobium, tantalum, chromium, a rhenium, and silicon, an oxide, and a nitriding oxide as a reaction barrier layer.

[0023](9) Mix gas (Ar, Kr, etc.), for example, water and rare gas, containing said oxygen and hydrogen, and oxidize selectively a field which consists of said silicon using the mixed gas, or said silicon layer.

[0024]

[Function]H and OH are generated by according to this invention, exciting the gas containing oxygen and hydrogen and plasma-izing this gas, Since said H and OH are supplied to the substrate with which the field which consists of the field, metal, or metallic compounds which consists of silicon was intermingled, while oxidizing the field which consists of silicon by OH etc., the field which consists of the metal or metallic compounds which oxidizes simultaneously can be effectively returned by H. Since the capability for H to return a silicon oxide in this case is weak, the field which consists of oxidized silicon is not returned to silicon.

[0025]Therefore, it is possible to perform to oxidize said silicon layer selectively at an easy process, without oxidizing the layer which consists of the metal or metallic compounds in the gate electrode formed via gate dielectric film on the silicon layer by using the gas containing oxygen and hydrogen which were plasma-ized.

[0026]That is, since the process of oxidation behind resist removing or a gate can be performed easily and a SiO<sub>2</sub> film can be further formed at low temperature, controlling oxidation of the metal layer etc. which constitute a gate electrode, it becomes mitigable [ thermal load ] and improvement in gate pressure-proofing can be attained.

[0027]In the process of plasma-izing of the gas containing oxygen and hydrogen in a method of this invention, for example, the electrodischarge treatment of water, it is possible by changing the partial pressure of water, seal-of-approval electric power, seal-of-approval frequency, and substrate temperature to change the selectivity of oxidation of a metal layer etc. and a silicon layer.

[0028]In the place which oxidizes selectively the field which consists of said silicon, or said silicon layer, and the distant place, The gas containing said oxygen and hydrogen is plasma-ized, and alternative oxidation of silicon can be performed effectively, without giving a damage to said gate dielectric film by supplying this plasma-ized gas to the field which consists of said silicon, or said silicon layer.

[0029]

[Example]Hereafter, with reference to Drawings, working example of this invention is described in detail. Drawing 1 (a) - (d) is a sectional view showing the formation process of the gate electrode concerning the 1st working example of this invention.

[0030]First, after forming the field oxide 12 in the p type silicon substrate 11 surface by selective oxidation as shown in drawing 1 (a) for example, the 5-30-nm-thick silicon oxide 13 was formed in the silicon substrate 11 which performed thermal oxidation processing and was separated by the field oxide 12.

[0031]The substrate 11 after depositing the polycrystalline silicon layer 14 with a thickness of 50 nm by which the conductive impurity was added on the silicon oxide 13 in subsequently, the state where it held to the temperature of 473K. By targeting Ti and carrying out sputtering to N<sub>2</sub> in the mixed gas of Ar, 50-nm-thick TiN layer 15 was deposited on the polycrystalline silicon layer 14. Continue and with an LPCVD method Hydrogen (H<sub>2</sub>), a mono silane (SiH<sub>4</sub>), H<sub>2</sub> using the mixed gas of tungsten hexafluoride (WF<sub>6</sub>) And 0.173Torr, 0.013Torr and WF<sub>6</sub> were held for SiH<sub>4</sub> to each partial pressure of 0.065Torr, and the W layer 16 about 150 nm thick was deposited on TiN layer 15 in the substrate temperature of 420 \*\* (drawing 1 (b)).

[0032]It pulled and continued, said W layer 16, TiN layer 15, and the polycrystalline silicon layer

14 were selectively etched one by one using a usual photolithography and reactive ion etching (RIE), and the gate electrode 18 shown in drawing 1 (c) by exfoliating resist by O<sub>2</sub> Usher was formed.

[0033]Next, the steam (H<sub>2</sub>O) partial pressure was set to 25.6mTorr, substrate temperature was 530 \*\*, H<sub>2</sub>O was plasma-ized by microwave discharge (2450 MHz, seal-of-approval electric power 100W), and this was supplied to the silicon substrate 11 by the downflow. This plasma treatment was performed for 30 minutes.

[0034]Drawing 2 is a sectional view showing the outline composition of the processing unit which used the above-mentioned microwave discharge. As shown in this figure, in the reaction vessel (quartz tube) 27, the sample 28 (here silicon substrate 11) is accommodated, and the sample 28 is heated by desired temperature with the ceramic heater 29. On the other hand, 21 is an ingredient container which accommodates water, and the water in this ingredient container 21 passes along the gas introducing pipe with which the needle valves 22 and 23 which control the partial pressure of water, and the moisture meter 24 which measures the partial pressure of water were established, and is supplied to the microwave discharge part 25. In this microwave discharge part 25, water is excited by microwave discharge and serves as the plasma 26. The plasma-ized water is supplied to the sample 28 provided in the above-mentioned reaction vessel 27. 30 and 31 are a turbo-molecular pump and a rotary pump, respectively.

[0035]As shown in drawing 1 (d) according to oxidation treatment under the above conditions, while the side wall part and the silicon substrate 11 of the polycrystalline silicon layer 14 oxidize, It was checked that the side attachment wall of TiN layer 15 which W surface did not oxidize and was exposed oxidizes slightly, and about 0.5-nm TiO<sub>2</sub> film 17 is formed. Compared with the conventional method, this could carry out [ low temperature ]-izing of the process temperature even to 530 \*\* from 916 \*\*, and became clear [ that it is effective in oxidation control of W layer and a TiN layer ]. It is returned and W surface which oxidized by resist removing ashing becomes a good film. It checked that about 5 nm of oxide films of the lower edge area of the gate electrode 18 were thick by the method of this example.

[0036]It continued, the ion implantation of a n type impurity, for example, the arsenic, was carried out by having used the field oxide 12 and the gate electrode 18 as the mask, and the n<sup>+</sup> type diffusion layers 19a and 19b used as source and a drain were formed in the silicon substrate 11 surface by being activated (drawing 1 (e)).

[0037]According to this example, oxidation of W layer in gate electrode structure and the TiN layer was minimized, and it was checked that the semiconductor device which has good gate electrode dielectric strength due to the fall of process temperature can be manufactured.

[0038]Drawing 3 (a) - (c) is a characteristic figure showing the thickness of a SiO<sub>2</sub> film and a WO<sub>3</sub> film to applied power, substrate temperature, and moisture pressure, respectively. As for discharge of the water shown in this example, it is possible to make it change within the limits of the conditions of drawing 3 (a) - (c). A slash field is a selective oxidation region where W does not oxidize but only Si oxidizes.

Selectivity is so good that applied power and substrate temperature are high as a general trend, and moisture pressure has so good selectivity that it is low.

Each of this selective oxidation region changes with the changes in three parameters, moisture pressure, substrate temperature, and applied power, variously, and a selective oxidation region changes also with metaled kinds. The discharging condition of water has the moisture pressure 1 - 2000mTorr, and the preferred applied power 10-500W, and is effective in the range of 1000 \*\* here from a room temperature as substrate temperature. [ of the applied power ] The moisture pressure 10 - 1000mTorr, 10 - 50mTorr, and also 25mTorr are good preferably. As for more than applied power 100W, a better result is obtained in the range of 300-800 \*\* substrate temperature. A discharging method has further again what is depended on the parallel plate type which used RF in addition to what is depended on microwave, a magnetron type thing using a magnet or an electromagnet, or a thing using a helicon wave.

[0039]Next, the manufacturing process of the semiconductor device concerning the 2nd working example of this invention is explained with reference to drawing 4 (a) - (c). First, after going to the process of depositing the W layer 16 like the 1st working example, on the W layer 16, the resist film 20 was applied and this was patterned by the usual photo lithography. Next, the gate electrode 18 shown in drawing 4 (a) was formed by etching selectively the W layer 16, TiN layer 15, and the polycrystalline silicon layer 14 one by one by reactive ion etching (RIE) by using the resist pattern 20 as a mask.

[0040]Subsequently, since the 1-micrometer resist pattern 20 of the gate electrode 18 upper part was exfoliated, water was discharged. As a discharging condition, the steam ( $H_2O$ ) partial pressure was set to 25.6mTorr, substrate temperature was 530 \*\*,  $H_2O$  was plasma-ized by microwave discharge like the 1st working example, and this was supplied to the silicon substrate 11 by the downflow. This plasma treatment was performed for 30 minutes.

[0041]By processing by discharge of this water, as shown in drawing 4 (b), the resist film 20 on the W layer 16 exfoliated. The surface of the W layer 16 had not oxidized at this time. At this time, the side wall part of the polycrystalline silicon layer 14 of the gate electrode 18 and the side wall part of TiN layer 15 oxidized slightly, and it was checked that about 5 nm of oxide films of the lower edge area of the gate electrode 18 are thick.

[0042]Then, by using the field oxide 12 and the gate electrode 18 as a mask, the ion implantation of a n type impurity, for example, the arsenic, was carried out, and the  $n^+$  type diffusion layers 19a and 19b used as source and a drain were formed in the silicon substrate 11 surface by being activated (drawing 4 (c)).

[0043]As for the mask on a metal layer, the same effect was acquired also not only in resist but in carbon. As for discharge of the water shown in this example, it is possible to make it change within the limits of the conditions shown in the 1st working example.

[0044]According to this example, in the electrodischarge treatment process of water, an after [ a gate ] oxidation process can be performed simultaneously with a resist removing process, and, simultaneously with process shortening, the fall of process temperature is possible. It was checked that the MOS type semiconductor device which has good gate electrode dielectric strength can be manufactured.

[0045]Next, the manufacturing process of the semiconductor device concerning the 3rd working example of this invention is explained with reference to drawing 5 (a) - (c). First, after going to the process of depositing the W layer 16 like the 1st and 2nd working example, on the W layer 16, the resist film 20 was applied and this was patterned by the usual photo lithography. Next, the gate electrode 18 shown in drawing 5 (a) was formed by etching selectively the W layer 16, TiN layer 15, and the polycrystalline silicon layer 14 one by one by reactive ion etching (RIE) by using the resist pattern 20 as a mask.

[0046]Subsequently, since the 1-micrometer resist film 20 of the gate electrode 18 upper part was exfoliated, water was discharged. As a discharging condition, the steam ( $H_2O$ ) partial pressure was set to 25.6mTorr, substrate temperature was 100 \*\*, and  $H_2O$  downflow plasma treatment by microwave discharge (2450 MHz, seal-off-approval electric power 100W) was performed for 30 minutes. As a result, as shown in drawing 5 (b), the resist film 20 on the W layer 16 exfoliated. The surface of the W layer 16 had not oxidized at this time. The temperature was lowered, after carrying out temperature up of the substrate temperature to 530 \*\* and holding it for 30 minutes, maintaining microwave discharge conditions on the above-mentioned conditions in succession in the state where the substrate 11 has been arranged in the reaction vessel 27 in order to thicken the oxide film of the lower edge area of the gate electrode 18. By this water electrodischarge treatment, it was checked that about 5 nm of oxide films of the lower edge area of the gate electrode 18 are thick. The surface of the W layer 16 had not oxidized at this time, either.(Drawing 5 (c)).

[0047]Then, the ion implantation of a n type impurity, for example, the arsenic, was carried out by having used the field oxide 12 and the gate electrode 18 as the mask, and the  $n^+$  type diffusion layers 19a and 19b used as source and a drain were formed in the silicon substrate 11

surface by being activated (drawing 5 (d)).

[0048]In this example, after exfoliating a resist film at low temperature, in order to perform selective oxidation at an elevated temperature, it is exhausted promptly that the remains organic matter in the atmosphere by resist film exfoliation cannot react to a substrate easily. By this method, the good gate oxide which is not influenced by organic matter contamination can be formed, and it becomes possible to obtain a reliable gate electrode.

[0049]The substrate temperature at the time of the resist film exfoliation shown in this example is effective in the range of room temperature -500 \*\*, and, as for the substrate temperature at the time of subsequent selective oxidation, a good result is obtained in the range of 500-1000 \*\*. As for the conditions of moisture pressure and applied power, it is possible to make it change within the limits of the conditions shown in the 1st working example.

[0050]In this example, since continuous processing of the substrate is carried out into the same vacuum chamber, it does not become complicated [ a process ] to move between different chambers etc., and an easy process can perform resist removing processing and selective oxidation processing. Under the situation where complication of a process is allowed to some extent, resist removing processing and selective oxidation processing can also be performed in a different vacuum chamber. In this case, it is preferred to perform conveyance between chambers of a substrate in a vacuum, and it is possible for this to suppress the influence of the remains organic matter given to selective oxidation processing to the minimum.

[0051]Next, the manufacturing process of the semiconductor device concerning other examples is explained with reference to drawing 6 (a) and (b). This example forms an electrode or wiring by etching the layer which forms the layer which consists of metal or metallic compounds, forms a resist pattern on the layer which consists of these metal or metallic compounds, and consists of said metal or metallic compounds by using this resist pattern as a mask.

Then, it is the method of removing said resist pattern, by exciting and plasma-izing the gas which consists only of water with the device of the downflow method shown in drawing 2, and supplying this gas to a substrate.

[0052]First, the field oxide 33 and the  $p^+$  diffusion zone 34 are formed in the n type silicon substrate 32 which makes (001) the principal surface one by one. Next, after depositing the cascade screen of the CVD- $\text{SiO}_2$  film 35 and BPSG film 36 on the whole surface as an interlayer insulation film, a contact hole is provided on a diffusion zone, the  $\text{TiSi}_2$  layer 37 is selectively formed in this contact hole pars basilaris ossis occipitalis, and the W layer 38 is further embedded selectively in this contact hole. Then, laminating formation of Ti film 39 / TiN film 40 / Al film 41 was carried out one by one, on this, the resist film 42 was applied and this was patterned by the usual photo lithography. Next, pattern formation of the wiring layer 43 shown in drawing 6 (a) was carried out by etching selectively Al film 41, TiN film 40, and Ti film 39 one by one by reactive ion etching (RIE) by using the resist pattern 42 as a mask.

[0053]Subsequently, since the resist film 42 on Al film 41 was exfoliated, water was discharged. As a discharging condition, the steam ( $\text{H}_2\text{O}$ ) partial pressure was set to 10mTorr, substrate temperature was 100 \*\*, and  $\text{H}_2\text{O}$  downflow plasma treatment by microwave discharge (2450 MHz, seal-of-approval electric power 100W) was performed for 30 minutes.

[0054]By this water electrodischarge treatment, as shown in drawing 6 (b), the resist film 42 on Al film 41 exfoliated. At this time, it was checked that the surface of Al film 41 in the wiring layer 43 does not oxidize, and about 0.5-nm  $\text{TiO}_2$  film 44 is formed in the side of TiN film 40 in the wiring layer 43 and Ti film 39.

[0055]In the method of the resist removing by conventional  $\text{O}_2$  Usher, since the Al wiring surface also oxidizes and aluminum $_2\text{O}_3$  is formed into a peeling process, it becomes indispensable to remove this aluminum $_2\text{O}_3$  in the following process. Since the Al wiring surface does not oxidize at the time of resist removing according to this example, the removal process of aluminum $_2\text{O}_3$  is unnecessary, it leads to routing counter reduction, and a reliable semiconductor device can be

manufactured.

[0056]Although Al wiring was described in the above-mentioned example, also in a metal electrode metallic wiring at large [, such as not only this but Cu, ] or, and at large, it is applicable. It is applicable also to the resist removing on metallic compound layers (TiN, TiSi<sub>2</sub>, etc.).

[0057]In discharge of the water shown in the above-mentioned example, a result with a good time of the substrate temperature range being room temperature -500 \*\* is obtained, and, as for the conditions of applied power and moisture pressure, it is possible to make it change within limits shown in the 1st working example.

[0058]Also to the process of removing not only a resist removing process but the organic matter which remains on a metal layer, a metallic compound layer, etc., for example after the conventional resist removing process, this invention could be applied and the same effect was acquired.

[0059]This invention is not limited to above-mentioned working example. For example, as gas containing oxygen and hydrogen, hydrogen peroxide, hydrogen, oxygen, etc. can be used in addition to water. When it is especially used combining water, hydrogen or hydrogen peroxide, and hydrogen, the effect of selective oxidation is remarkable.

[0060]It is also possible to mix the gas (Ar, Kr, etc.), for example, water and rare gas, containing oxygen and hydrogen, to oxidize silicon selectively using the mixed gas, and for this to gather the oxidation rate of silicon.

[0061]Although the Al film and W layer were mentioned as a metal layer, layers, such as other metal layers, for example, molybdenum, platinum, palladium, rhodium, a ruthenium, nickel, cobalt, tantalum, titanium, and copper, may be sufficient. A metallic compound layer may be sufficient as TiN, TiSi<sub>2</sub>, etc., for example except a metal layer.

[0062]As a reaction barrier layer inserted between a metal layer and a polycrystalline silicon layer etc., In addition to titanium nitride, a zirconium, hafnium, tungsten, vanadium, Oxides, such as nitrides, such as niobium, tantalum, chromium, a rhenium, and silicon, and also titanium, a zirconium, hafnium, tungsten, vanadium, niobium, tantalum, chromium, a rhenium, and silicon, a nitriding oxide, etc. may be used.

[0063]As a silicon layer, the layer of a silicon substrate surface, the silicon layer of a SOI (SiliconOn Insulator) substrate face, or the silicon layer on an insulating substrate can be considered further again. In addition, in the range which does not deviate from the gist, it changes variously and this invention can be carried out.

[0064]

[Effect of the Invention]In this invention, the gas containing oxygen and hydrogen which were plasma-ized is used.

Therefore, it is possible to perform at an easy process to oxidize a silicon layer selectively to the layer which consists of metal or metallic compounds.

[0065]Therefore, since the process of oxidation behind resist removing or a gate can be performed easily and a SiO<sub>2</sub> film can be further formed at low temperature, controlling oxidation of the metal layer etc. which constitute a gate electrode, it becomes mitigable [ thermal load ] and improvement in gate pressure-proofing can be attained.

---

[Translation done.]

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026317

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 29/78

H01L 21/28

H01L 29/43

(21)Application number : 2000-207712

(71)Applicant : FUJITSU LTD  
TOSHIBA CORP

(22)Date of filing : 10.07.2000

(72)Inventor : NAKANISHI TOSHIRO  
SUGURO KYOICHI  
OZAWA YOSHIO  
AKASAKA YASUSHI

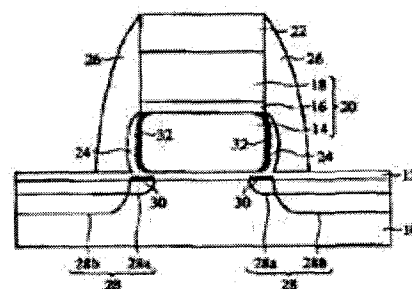
## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device comprising a polymetal structure together with its manufacturing method wherein a gate electrode is suppressed from depletion while a hot carrier resistance is assured.

**SOLUTION:** There are provided a gate insulating film 12 formed on a silicon substrate 10, a gate electrode 20 which is formed on the gate insulating film and comprises a polysilicon film 14 and a metal film 18 formed on it, and an insulating film 24 which is selectively formed at a side wall of the polysilicon film. Here, in an interface between a silicon substrate at the lower part of the end of a gate electrode and the gate insulating film, a nitrogen is introduced whose concentration is higher than that of nitrogen in the interface between the gate insulating film and the silicon substrate directly below the gate electrode.

本発明の第1実施形態による半導体装置を示す断面図



10…シリコン基板  
12…ゲート絶縁膜  
14…ポリシリコン膜  
18…金属膜  
20…ゲート電極  
22…キャップ層  
24…シリコン酸化膜  
26…サイドウォール絶縁膜  
28…ゲートエレクトロド領域  
28a, 28b…不純物拡散領域  
30…窒素濃度領域  
32…窒素濃度領域